

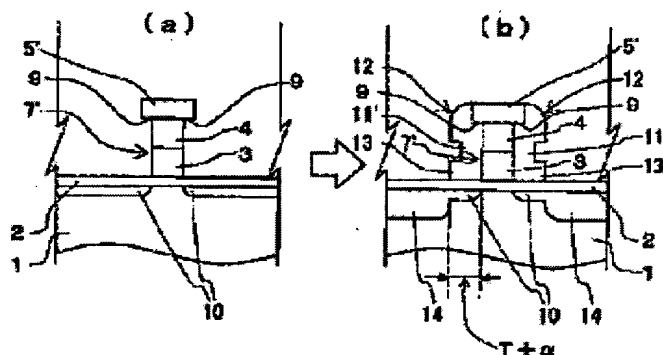
SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent number: JP2003224264
Publication date: 2003-08-08
Inventor: KAIDA MASAHIRO
Applicant: SONY CORP
Classification:
- **international:** H01L29/78; H01L21/336; H01L21/8234; H01L27/088; H01L29/43
- **european:**
Application number: JP20020020763 20020129
Priority number(s):

Abstract of JP2003224264

PROBLEM TO BE SOLVED: To provide a semiconductor device that has a gate electrode having a width narrower than the minimum width formable by the patterning technology and an LDD structure the side wall thickness of which can be changed as the size of the gate electrode is reduced, and to provide a method of manufacturing the device.

SOLUTION: After a gate electrode forming film and a gate electrode cover film are formed on a semiconductor substrate, the gate electrode is formed by etching the gate electrode forming film by anisotropic etching and by using a gate electrode cover formed by patterning the gate electrode cover film as a mask. Then the width of the gate electrode is made narrower than that of the gate electrode cover by etching the side face of the gate electrode by isotropic etching. Thereafter, a side wall film is formed and a side wall which is made thicker by the amount of the protrusion of the protruded section of the gate electrode cover from the narrowed gate electrode is formed by etching the side wall film by anisotropic etching.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-224264
(P2003-224264A)

(43) 公開日 平成15年8月8日 (2003.8.8)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
21/336		29/62	G 5 F 0 4 8
21/8234		29/78	3 0 1 Y 5 F 1 4 0
27/088		27/08	1 0 2 C
29/43			
審査請求 未請求 請求項の数 6 O L (全 10 頁)			

(21) 出願番号 特願2002-20763 (P2002-20763)

(22) 出願日 平成14年1月29日 (2002.1.29)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 甲斐田 昌宏

福岡県福岡市早良区百道浜2丁目3番2号

ソニーセミコンダクタ九州株式会社内

(74) 代理人 100114661

弁理士 内野 美洋 (外1名)

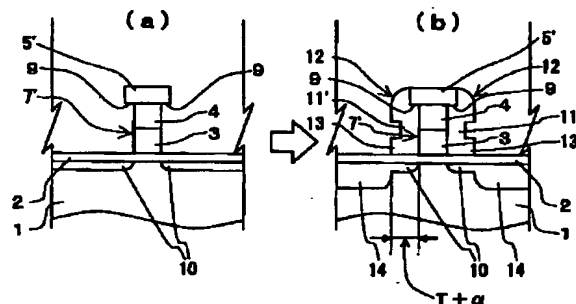
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 パターンニング技術によって形成可能な最小の幅よりもさらに細幅のゲート電極を有する半導体装置及びその製造方法を提供する。さらに、ゲート電極の細小化にともなってLDD構造のサイドウォール厚みを可変とした半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板上にゲート電極形成膜とゲート電極カバー膜とを成膜し、同ゲート電極カバー膜をパターンニングして形成したゲート電極カバーをマスクとして異方性エッチングによりゲート電極形成膜をエッチングしてゲート電極を形成した後、さらに、等方性エッチングによりゲート電極側面をエッチングして、ゲート電極をゲート電極カバーよりも細幅とする。その後、サイドウォール膜を成膜して異方性エッチングを行ない、細幅となったゲート電極より突出したゲート電極カバーの突出部により、同突出部の突出量だけ厚くしたサイドウォールを形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に成膜した通電性を有する導通体形成膜の上面に導通体カバー膜を成膜し、同導通体カバー膜をパターンニングして形成した導通体カバーをマスクとして導通体形成膜をエッチングすることにより導通体を形成した半導体装置であって、導通体は、パターンニング形成した導通体カバーよりも細幅としていることを特徴とする半導体装置。

【請求項2】 導通体は、MOSトランジスタのゲート電極であることを特徴とする請求項1記載の半導体装置。

【請求項3】 ゲート電極の側面には、下部を膨出状としたサイドウォールを形成したことを特徴とする請求項2記載の半導体装置。

【請求項4】 半導体基板上に成膜した通電性を有する導通体形成膜の上面に導通体カバー膜を成膜し、同導通体カバー膜をパターンニングして導通体カバーを形成し、同導通体カバーをマスクとして異方性エッチングにより導通体形成膜をエッチングして導通体を形成した後、さらに、等方性エッチングにより導通体側面をエッチングすることにより、導通体を導通体カバーよりも細幅としていることを特徴とする半導体装置の製造方法。

【請求項5】 導通体は、MOSトランジスタのゲート電極であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 MOSトランジスタを有する半導体装置の製造方法であって、半導体基板上に成膜したゲート電極形成膜の上面にゲート電極カバー膜を成膜し、同ゲート電極カバー膜をパターンニングしてゲート電極カバーを形成し、同ゲート電極カバーをマスクとして異方性エッチングによりゲート電極形成膜をエッチングしてMOSトランジスタのゲート電極を形成した後、さらに、等方性エッチングによりゲート電極側面をエッチングしてゲート電極カバーの側縁に突出部を形成し、その後、MOSトランジスタのソース領域及びドレイン領域に不純物を注入した後に半導体基板上にサイドウォール膜を成膜し、異方性エッチングによってゲート電極カバーをサイドウォール膜から露出させるまでエッチングすることによりサイドウォールを形成した後、前記ソース領域及び前記ドレイン領域に不純物を先の不純物よりも深く注入してLDD (Light Doped Drain) 構造を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体装置においては、高集積化及び高性能化の要望にともなって、半導体装置の基体で

ある半導体基板に形成する素子を微細加工により小型化すること、及び、素子特性を向上させることが望まれている。

【0003】 特に、半導体基板にMOSトランジスタを形成する場合には、同MOSトランジスタのゲート電極の電極幅寸法を小さくすることによって、ソース・ドレイン間隔を小さくしてMOSトランジスタのスイッチング作動速度を向上させることができるとともに、MOSトランジスタ自体を小型化して集積度を向上させることができる。従って、ゲート電極の電極幅寸法を小さくすることは、微細加工技術の開発において特に重視されている。

【0004】 そのMOSトランジスタのゲート電極の形成は、従来、次のように行なっている。まず、図12(a)に示すように、MOSトランジスタを形成する半導体基板100の表面にゲート酸化膜110を成膜し、同ゲート酸化膜110の上面にポリシリコン膜120を成膜し、さらに、同ポリシリコン膜120の上面にタングステンシリサイド膜130を成膜する。そして、タングステンシリサイド膜130の上面にレジスト140を塗布する。

【0005】 次いで、レジスト140に所要パターンを露光を行なってパターンニングし、図12(b)に示すように、レジスト140によるマスク140'を形成する。

【0006】 次いで、図12(c)に示すように、異方性のドライエッチングによってマスク140'の非配設部分におけるタングステンシリサイド膜130及びポリシリコン膜120をエッチングし、マスク140'の配設部分にのみタングステンシリサイド膜130及びポリシリコン膜120を残存させる。

【0007】 その後、アッシング及びウェットクリーニングを行ない、図12(d)に示すように、マスク140'を除去してゲート電極150を形成している。

【0008】 さらに、昨今、MOSトランジスタの小型化にともなってMOSトランジスタのドレイン近傍において発生するホットキャリアの発生を抑制するために、LDD (Light Doped Drain) 構造を採用することが多く、ゲート電極150のソース側及びドレイン側の側面に二酸化ケイ素 (SiO₂) あるいは窒化ケイ素 (SiN) などからなるサイドウォール160'を形成することがある。

【0009】 LDD構造を形成する場合には、上述したようにゲート電極150を形成した後、同ゲート電極150両側のソース領域及びドレイン領域に所要の不純物を浅く注入し、次いで、サイドウォール160'を形成すべく、図12(e)に示すように、ゲート電極150を形成している半導体基板100上面に、熱酸化法やCVD法等を用いてサイドウォール160'となるサイドウォール膜160を成膜する。同サイドウォール膜160には、二酸化ケイ素膜あるいは窒化ケイ素膜などを用いている。

【0010】 サイドウォール膜160の成膜後、異方性の

ドライエッチングによってゲート電極150上面のサイドウォール膜160が全て除去されるまで半導体基板100を一樣にエッチングすることにより、図12(f)に示すように、ゲート電極150の側壁部分にのみサイドウォール膜160を残存させてサイドウォール160'としている。

【0011】サイドウォール160'の形成後、MOSトランジスタのソース領域及びドレイン領域に、今度は不純物を深く注入することにより、サイドウォール160'の下側部分に、不純物を浅く注入しているエクステンション領域を設けたLDD構造を形成している。

【0012】ここで、サイドウォール160'は、通常、CVD法等により全体に均一に成膜したサイドウォール膜160を、異方性のドライエッチングによってエッチングして形成しているため、サイドウォール160'の厚みは、成膜したサイドウォール膜160の膜厚と略一となっている。

【0013】従って、半導体基板100に形成した複数のMOSトランジスタにサイドウォール160'をそれぞれ形成した場合、サイドウォール160'の厚みは全てのMOSトランジスタで同一の厚みとなっている。

【0014】MOSトランジスタは上記の方法で形成している。そして、半導体装置の高集積化及び高性能化の要望に応えるべくMOSトランジスタのゲート電極の電極幅寸法を小さくするには、レジストのパターンニングにおいてゲート電極部分のマスクの幅寸法を小さくする必要があり、微細なパターンニングを可能とするレジストや、露光の光源を用いることによりマスクの幅寸法をより小さくしている。

【0015】

【発明が解決しようとする課題】しかしながら、現状の利用可能なマスク形成技術では、MOSトランジスタのソース・ドレイン間隔を狭めるべくゲート電極の電極幅寸法を細小化するためのレジストの幅寸法設定に限界があるため、ゲート電極幅寸法のさらなる細小化ができなかった。

【0016】また、MOSトランジスタのゲート電極をLDD構造により形成した場合は、PチャンネルMOSトランジスタや、NチャンネルMOSトランジスタなどの種類にかかわらず、全てのMOSトランジスタのゲート電極に形成したサイドウォールは、全体的に略均等な厚みとなるようにしか形成できなかった。

【0017】従って、MOSトランジスタごとにサイドウォールの厚みを変化させ、所望する特性を有するようにMOSトランジスタごとの調整を行なうことができず、例えばCMOSトランジスタのようにPチャンネルMOSトランジスタとNチャンネルMOSトランジスタとを組み合わせ構成した複合体のMOSトランジスタにおいては、特性を向上させることができなかった。

【0018】

【課題を解決するための手段】上記の問題点を解決すべ

く、本発明の半導体装置は、半導体基板上に成膜した通電性を有する導通体形成膜の上面に導通体カバー膜を成膜し、同導通体カバー膜をパターンニングして形成した導通体カバーをマスクとして導通体形成膜をエッチングすることにより導通体を形成した半導体装置であって、導通体は、パターンニング形成した導通体カバーよりも細幅とした。

【0019】また、導通体は、MOSトランジスタのゲート電極であること、さらに、ゲート電極の側面には、下部を膨出状としたサイドウォールを形成したことにも特徴を有するものである。

【0020】また、本発明の半導体装置の製造方法は、半導体基板上に成膜した通電性を有する導通体形成膜の上面に導通体カバー膜を成膜し、同導通体カバー膜をパターンニングして導通体カバーを形成し、同導通体カバーをマスクとして異方性エッチングにより導通体形成膜をエッチングして導通体を形成した後、さらに、等方性エッチングにより導通体側面をエッチングすることにより、導通体を導通体カバーよりも細幅とした。

【0021】さらに、導通体は、MOSトランジスタのゲート電極であることにも特徴を有するものである。

【0022】また、本発明の半導体装置の製造方法は、MOSトランジスタを有する半導体装置の製造方法であって、半導体基板上に成膜したゲート電極形成膜の上面にゲート電極カバー膜を成膜し、同ゲート電極カバー膜をパターンニングしてゲート電極カバーを形成し、同ゲート電極カバーをマスクとして異方性エッチングによりゲート電極形成膜をエッチングしてMOSトランジスタのゲート電極を形成した後、さらに、等方性エッチングによりゲート電極側面をエッチングしてゲート電極カバーの側縁に突出部を形成し、その後、MOSトランジスタのソース領域及びドレイン領域に不純物を注入した後に半導体基板上にサイドウォール膜を成膜し、異方性エッチングによってゲート電極カバーをサイドウォール膜から露出させるまでエッチングすることによりサイドウォールを形成した後、前記ソース領域及び前記ドレイン領域に不純物を先の不純物よりも深く注入してLDD構造を形成することとした。

【0023】

【発明の実施の形態】本発明の半導体装置及びその製造方法は、半導体基板上に導通体を形成するにあたって、まず、半導体基板上に通電体となる導通性を有する導通体形成膜を成膜し、次いで、同導通体形成膜の上面に導通体カバー膜を成膜し、さらに、同導通体カバー膜をパターンニングすることによって導通体カバーを形成し、そして、同導通体カバーをマスクとして導通体形成膜のエッチングを行なうことにより、導通体カバーよりも細幅とした導通体を形成するものである。

【0024】特に、導通体形成膜のエッチングは、第1段階として異方性のエッチングにて行ない、次いで、第

2段階として等方性のエッチングを行なうことにより、導通体を導通体カバーよりも細幅としている。

【0025】より具体的には、導通体はMOSトランジスタのゲート電極であり、同ゲート電極を形成するにあたって、まず、半導体基板上に導通体形成膜に相当するゲート電極形成膜を成膜し、次いで、同ゲート電極形成膜の上面に導通体カバー膜に相当するゲート電極カバー膜を成膜し、さらに、同ゲート電極カバー膜をパターンニングすることによって導通体カバーに相当するゲート電極カバーを形成する。

【0026】そして、ゲート電極カバーを、ゲート電極を形成すべくエッチングするゲート電極形成膜のマスクとし、まず第1段階として異方性エッチングを行なうことによりゲート電極形成膜をエッチングし、ゲート電極カバーと同幅としたMOSトランジスタのゲート電極を形成する。

【0027】次いで、第2段階として等方性エッチングを行なうことによりゲート電極カバー下方のゲート電極側面をエッチングして、ゲート電極をゲート電極カバーよりも細幅とする。

【0028】特に、ゲート電極カバーの幅寸法が、従来のパターンニング技術で可能な最小の幅寸法となっている場合に、ゲート電極の幅寸法は、パターンニングの技術限界よりもさらに細小とすることができる。従って、MOSトランジスタのソース・ドレイン間隔をさらに小さくすることができ、スイッチング反応性を向上させることができるので、MOSトランジスタの特性を向上させることができる。

【0029】また、上記のゲート電極にサイドウォールを配設してLDD構造を形成する場合には、ゲート電極カバーよりも細幅にゲート電極をエッチングした後、MOSトランジスタのドレイン領域及びソース領域に所要の不純物を浅く注入してエクステンション領域を形成し、次いで、半導体基板上にサイドウォール膜を成膜する。

【0030】その後、半導体基板上に一樣の厚さで成膜したサイドウォール膜を異方性エッチングによってエッチングして、ゲート電極カバーをサイドウォール膜から露出させる一方で、ゲート電極側面にはサイドウォール膜を残存させてサイドウォールを形成する。

【0031】なお、上記したように等方性エッチングによりゲート電極側面をエッチングしたことにより、ゲート電極カバー側縁にはゲート電極よりも突出した突出部が形成される。

【0032】そして、サイドウォール膜を成膜した際には、同突出部の側面部分にも他の領域と同じ厚みのサイドウォール膜が成膜され、ゲート電極上端には、突出部の突出寸法分だけ膨出した膨出部が形成される。

【0033】従って、この状態でサイドウォール膜を異方性のドライエッチングによってエッチングした場合、

同膨出部が膨出部直下方のサイドウォール膜に対するマスクとなることによって、エッチングにともなって膨出部直下方にはサイドウォール膜を残存させることにより、サイドウォール下部は突出寸法分だけ膨出状として太幅とすることができる。

【0034】上記のサイドウォールの形成後、MOSトランジスタのドレイン領域及びソース領域に所要の不純物を、先のエクステンション領域形成用の注入深さよりも今度は深く注入してコンタクト領域を形成することにより、LDD構造を形成する。

【0035】ゲート電極幅を細幅としてMOSトランジスタのソース・ドレイン間隔を小さくする一方で、サイドウォール下部を膨出状として太幅としたことにより、エクステンション領域を大きくすることができ、MOSトランジスタのスイッチング反応速度を高めながらホットキャリアの生起を抑止できるので、MOSトランジスタの特性を向上させることができる。

【0036】また、サイドウォール膜の成膜前に、等方性のドライエッチングを行なってゲート電極カバー側縁に突出部を形成したゲート電極と、適宜のカバー被膜で被覆しておくことによって等方性のドライエッチングを行なわず、ゲート電極カバー側縁に突出部を形成しないゲート電極とを同一半導体基板上に形成しておくことにより、サイドウォール膜の成膜、及び、同サイドウォール膜のエッチングにともなって形成したサイドウォールの厚みを、ゲート電極カバー側縁の突出部の有り無しで異ならせることができる。

【0037】従って、半導体基板上に形成したMOSトランジスタの種類に応じて望ましい厚みのサイドウォールを有するゲート電極を形成することができるので、個々のMOSトランジスタにおいて望ましいエクステンション領域を設けたLDD構造を形成することができ、MOSトランジスタの特性を向上させることができる。

【0038】特に、PチャンネルMOSトランジスタは、サイドウォールの厚みによって規制されるエクステンション領域の大きさが、MOSトランジスタのソース・ドレイン間を流れる電流に、NチャンネルMOSトランジスタよりも大きく影響を与えるため、半導体基板にCMOSトランジスタのようにPチャンネルMOSトランジスタとNチャンネルMOSトランジスタとを形成する場合には、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとでサイドウォールの厚みを異ならせることにより、それぞれのしきい値電圧やソース・ドレイン電流を別々に設定して、CMOSトランジスタの特性を極めて向上させることができる。

【0039】以下において、図1～9に示すMOSトランジスタのゲート電極の製造工程説明図に基づいて、本発明の実施の形態をさらに詳説する。なお、図1～9はゲート電極の製造工程を模式的に示しているものであり、説明の便宜上、一部簡略化している。

【0040】まず、シリコン基板からなる半導体基板1には、同半導体基板1上に形成する個々の素子を互いに電氣的に絶縁すべく、所用の位置に酸化分離膜(図示せず)を配設し、次いで、図1に示すように、半導体基板1の表面にゲート酸化膜2を成膜し、同ゲート酸化膜2の上面にCVD(Chemical Vapor Deposition)法によりポリシリコン膜3を成膜し、さらに、同ポリシリコン膜3の上面に同じくCVD法によりタングステンシリサイド膜4を成膜する。

【0041】ここで、ポリシリコン膜3及びタングステンシリサイド膜4がゲート電極形成膜であり、場合によってはポリシリコン膜3とタングステンシリサイド膜4との積層構造とするのではなく、ポリシリコン膜3だけで形成してもよいし、あるいは、タングステンシリサイド膜4以外の適宜の膜を用いてゲート電極形成膜としてもよい。また、ゲート電極形成膜を後述するようにゲート電極とした際におけるゲート電極の配線抵抗を低減させるべく、ポリシリコン膜3にリンを添加したり、タングステンシリサイド膜4の上面にさらに各種金属シリサイド膜を成膜したりしてもよい。

【0042】タングステンシリサイド膜4の成膜後、同タングステンシリサイド膜4の上面にゲート電極カバー膜5を成膜する。ゲート電極カバー膜5には、ゲート電極形成膜であるポリシリコン膜3やタングステンシリサイド膜4に対して、ドライエッチングにおける選択比の高い素材を用いることが望ましく、二酸化ケイ素膜あるいは窒化ケイ素膜などが望ましい。ここでは、二酸化ケイ素膜を用いており、二酸化ケイ素膜をCVD法により成膜している。

【0043】ゲート電極カバー膜5の成膜後、同ゲート電極カバー膜5をパターンニングするために、ゲート電極カバー膜5上面にレジスト6を塗布する。レジスト6の塗布後、所要パターンにおける露光を行なってパターンニングし、図2に示すように、レジストマスク6'を形成する。

【0044】なお、ゲート電極カバー膜5の上面にレジスト6を直接塗布するのではなく、ゲート電極カバー膜5の上面にBARC(Bottom Anti Reflective Coat)と呼ばれる反射防止膜を成膜した後、レジスト6を塗布し、レジスト6のパターンニング性を向上させるべく構成してもよい。

【0045】また、MOSトランジスタのゲート電極は上記したように細小化が要求されるため、レジストマスク6'のパターンニングにおいても微細なパターンニングを行なうべく、露光に用いる光源には、波長365nmのI線や、波長248nmのエキシマレーザーなどの波長の短い光を照射可能とした光源を用いている。

【0046】レジストマスク6'の形成後、ゲート電極カバー膜5をエッチングすることにより、また、BARCを用いた場合には同時にBARCもあわせてエッチング

することにより、図3に示すように、レジストマスク6'の配設パターンと同一パターンとしたゲート電極カバー5'を形成する。ゲート電極カバー膜5のエッチングは、ゲート電極カバー膜5をエッチング可能とするエッチング条件での異方性のドライエッチングとしている。従って、ゲート電極カバー5'は、レジストマスク6'と同一幅寸法となっている。

【0047】ゲート電極カバー5'の形成後、アッシング及びウエットクリーニングを行なうことにより、図4に示すように、レジストマスク6'、及び、BARCを用いた場合にはレジストマスク6'とともにBARCを除去する。本実施の形態では、ゲート電極カバー5'は、上記したようにゲート電極カバー膜5上面に形成したレジストマスク6'を利用してドライエッチングを行なうことによりパターンニングしているが、ゲート電極カバー5'のパターンニングはこの形態に限定するものではなく、適宜のパターンニング方法を用いてもよい。

【0048】レジストマスク6'を除去した後、ゲート電極カバー5'をマスクとして異方性のドライエッチングによりタングステンシリサイド膜4及びポリシリコン膜3をエッチングし、図5に示すように、ゲート電極カバー5'の配設部分にのみタングステンシリサイド膜4及びポリシリコン膜3を残存させて、ゲート電極7を形成する。

【0049】異方性のドライエッチングによってタングステンシリサイド膜4及びポリシリコン膜3をエッチングすることにより、タングステンシリサイド膜4及びポリシリコン膜3はそれぞれゲート電極カバー5'と同一幅寸法となる。

【0050】異方性のドライエッチングによるゲート電極7の形成においては、微細なパターンの高精度度でのエッチングが要求されるため、ドライエッチング装置には高密度プラズマを発生可能とした装置を用いることが望ましい。これに該当する装置としては、例えば、RIE(Reactive Ion Etch)、MRIE(Magnetron Reactive Ion Etch)、ICP(Inductive Coupled Plasma)、ECR(Electron Cyclotron Resonance)等が知られている。

【0051】異方性のドライエッチングによりタングステンシリサイド膜4及びポリシリコン膜3をエッチングした後、後述するLDD構造におけるサイドウォールの厚みをMOSトランジスタごとに異ならせたい場合には、サイドウォールの厚みを厚くする必要のないMOSトランジスタのゲート電極7に、図6に示すように、カバー用レジスト8を被覆する。

【0052】同カバー用レジスト8の被覆は、まず、ゲート電極7を形成した半導体基板1の上面にレジストを塗布し、カバー用レジスト8による被覆を行なうゲート電極7部分のレジストのみを残存させるようにレジストをパターンニングすることにより行なう。

【0053】所要のゲート電極7のカバー用レジスト8による被覆を行なった後、カバー用レジスト8で被覆していないゲート電極7に対して、ゲート電極カバー5'をマスクとして等方性のドライエッチングを行ない、タングステンシリサイド膜4及びポリシリコン膜3をさらにエッチングする。

【0054】ここでも高精度でのエッチングが要求されるため、ドライエッチング装置には高密度プラズマを発生可能とした装置を用いることが望ましく、かつ、等方性のエッチングを可能としたドライエッチング装置を用

【0055】エッチングにおいて、ゲート電極カバー5'は、タングステンシリサイド膜4及びポリシリコン膜3よりもエッチング選択比が高いため、タングステンシリサイド膜4及びポリシリコン膜3を選択的にエッチングすることができる。

【0056】しかも、等方性のエッチングを行なうことにより、タングステンシリサイド膜4とポリシリコン膜3とにより形成したゲート電極7の側面のみをエッチングすることとなり、図7に示すように、ゲート電極7の側面のエッチングにともなって同ゲート電極をゲート電極カバー5'よりも細幅とすることができる。

【0057】すなわち、レジストマスク6'の形成における最小幅寸法よりも、ゲート電極の幅寸法をさらに小さくすることができる。ゲート電極カバー5'の幅寸法よりも細幅としたゲート電極を、同様に細幅としていないゲート電極7と区別すべく、以下においては細幅状ゲート電極7'と呼ぶ。

【0058】細幅状ゲート電極7'はゲート電極カバー5'よりも細幅となっているため、同細幅状ゲート電極7'に載設しているゲート電極カバー5'の側縁には、細幅状ゲート電極7'より突出した突出部9を形成することができる。

【0059】また、細幅状ゲート電極7'をゲート電極とするMOSトランジスタでは、ソース・ドレイン間隔を小さくすることができるので、MOSトランジスタのスイッチング作動速度を向上させることができる。

【0060】上記のように形成した細幅状ゲート電極7'を有するMOSトランジスタにLDD構造を採用する場合、さらに、以下の製造工程によってLDD構造を形成

【0061】まず、サイドウォールの厚みを厚く形成する必要がないためにカバー用レジスト8の被覆を行なったゲート電極7のカバー用レジスト8を除去する。同カバー用レジスト8の除去は、アッシング及びウエットクリーニングにより行なっている。カバー用レジスト8により被覆されたゲート電極7では、カバー用レジスト8によって上記した等方性のドライエッチングの際にエッチングされないため、ゲート電極7の幅寸法はゲート電極カバー5'の幅寸法と略一となっている。

【0062】カバー用レジスト8の除去後、図10(a)及び図11(a)に示すように、MOSトランジスタのドレイン領域及びソース領域に所要の不純物を浅く注入してエクステンション領域10を形成する。

【0063】エクステンション領域10の形成後、図8に示すように、ゲート電極7及び細幅状ゲート電極7'を形成した半導体基板1の上面にサイドウォール膜11を成膜する。サイドウォール膜11は二酸化ケイ素膜あるいは窒化ケイ素膜などであればよく、熱酸化法やCVD法等を用いて成膜している。

【0064】熱酸化法やCVD法等を用いてサイドウォール膜11を成膜することにより、サイドウォール膜11は半導体基板1上に均等に成膜される。従って、細幅状ゲート電極7'に載設しているゲート電極カバー5'側縁の突出部9、9'側面部分にもサイドウォール膜11を均等に成膜することができ、細幅状ゲート電極7'上端には、突出部9、9'の突出寸法分だけ外側方に膨出した膨出部12、12'を形成することができる。

【0065】サイドウォール膜11の成膜後、同サイドウォール膜11をエッチングする条件で、サイドウォール膜11の異方性のドライエッチングを行なうことにより、図9に示すように、ゲート電極7及び細幅状ゲート電極7'の側面にサイドウォール11'、11'を形成する。

【0066】この異方性のドライエッチングの際に、細幅状ゲート電極7'上端の膨出部12、12'が、膨出部12、12'直下方に位置するサイドウォール膜11のマスクとなるので、エッチングにともなって膨出部12、12'直下方にはサイドウォール膜11を残存させることができる。従って、ドライエッチングによって、サイドウォール11'、11'下部には、突出部9、9'の突出寸法分だけ膨出して太幅となった太幅部13、13'を形成することができる。

【0067】すなわち、サイドウォール膜11の膜厚寸法をTとし、突出部9、9'の突出寸法を α とした場合、太幅部13、13'の幅寸法は $T + \alpha$ とすることができ、突出部9、9'を形成していないゲート電極7におけるサイドウォール11'、11'の厚みと比較して、細幅状ゲート電極7'のサイドウォール11'、11'の厚みを α だけ厚く形成することができる。

【0068】従って、図9に示すように、同一の半導体基板1上に、厚みTのサイドウォール11'と、厚み $T + \alpha$ のサイドウォール11'とを同時に形成することができる。

【0069】異方性のドライエッチングは、ゲート電極7及び細幅状ゲート電極7'の上面に載設したゲート電極カバー5'上のサイドウォール膜11が除去された時点で終了させ、サイドウォール膜11からゲート電極カバー5'を露出させている。

【0070】サイドウォール11'の形成後、図10(b)および図11(b)に示すように、MOSトランジスタのドレイン領域及びソース領域に、所要の不純物

を今度は深く注入してコンタクト領域14を形成し、LDD構造を形成している。

【0071】このとき、図10(b)および図11

(b)に示すように、サイドウォール11',11'を厚くした細幅状ゲート電極7'のエクステンション領域の幅を、サイドウォール11',11'を厚くしなかったゲート電極7のエクステンション領域の幅よりも α だけ大きく形成することができる。

【0072】特に、細幅状ゲート電極7'を有するMOSトランジスタでは、ソース側のエクステンション領域と、ドレイン側のエクステンション領域との間を、ゲート電極7の場合よりも狭くすることができるので、細幅状ゲート電極7'を有するMOSトランジスタと、ゲート電極7を有するMOSトランジスタとで、しきい値電圧及びソース・ドレイン電流を異ならせることができる。

【0073】すなわち、ゲート電極7を細幅としてサイドウォール11'の厚みを調整することによって、MOSトランジスタごとの特性を調整することができ、しかも、上記の方法により、同一半導体基板1上でサイドウォール11'厚みの異なるMOSトランジスタを同時に形成し、特性の異なるMOSトランジスタの同時形成を容易に行なうことができる。

【0074】従って、CMOSトランジスタのように、PチャンネルMOSトランジスタとNチャンネルMOSトランジスタとを組み合わせる構成したMOSトランジスタなどの場合、PチャンネルMOSトランジスタと、NチャンネルMOSトランジスタとで別々にサイドウォール厚みを調整することにより望ましい特性とすることができるので、その複合体であるCMOSトランジスタの特性を向上させることができる。

【0075】

【発明の効果】請求項1記載の発明によれば、導通体をパターンニング形成した導通体カバーよりも細幅としたことによって、パターンニングにより形成可能な最小寸法よりもさらに細幅とした導通体を形成できる。

【0076】請求項2記載の発明によれば、導通体をMOSトランジスタのゲート電極としたことによって、ゲート電極をさらに細小化することができるので、同ゲート電極を有するMOSトランジスタのソース・ドレイン間隔をより小さくすることができ、同MOSトランジスタのスイッチング反応速度をさらに向上させることができる。

【0077】請求項3記載の発明によれば、ゲート電極の側面に下部を膨出状としたサイドウォールを形成したことによって、同サイドウォールを具備するMOSトランジスタのゲート電極をLDD構造とした場合に、LDD構造のエクステンション領域を大きくすることができるので、ホットキャリアの抑制効果を向上させることができ、MOSトランジスタの特性を向上させることができる。

【0078】請求項4記載の発明によれば、導通体カバー膜をパターンニングして形成した導通体カバーをマスクとして、異方性エッチングにより導通体形成膜をエッチングして導通体を形成した後、さらに、等方性エッチングにより導通体側面をエッチングすることによって、パターンニングにより形成可能な最小寸法よりもさらに細幅とした導通体を形成できる。

【0079】請求項5記載の発明によれば、導通体をMOSトランジスタのゲート電極とすることによって、ゲート電極をさらに細小化することができるので、同ゲート電極を有するMOSトランジスタのソース・ドレイン間隔をより小さくすることができ、同MOSトランジスタのスイッチング反応速度をさらに向上させることができる。

【0080】請求項6記載の発明によれば、等方性エッチングによりゲート電極側面をエッチングしてゲート電極カバーの側縁に突出部を形成したことによって、突出部の有り無し、さらには、突出部の突出量に応じてLDD構造のサイドウォール厚みを調整することができる。これにより、サイドウォール厚みの調整にともなって、サイドウォール厚みの異なるMOSトランジスタ間でしきい値電圧やソース・ドレイン間電流などのMOSトランジスタ特性を異ならせることができる。従って、例えばCMOSトランジスタのように異なるMOSトランジスタの複合体からなるトランジスタにおいて、それぞれのMOSトランジスタごとにサイドウォール厚みを調整して特性調整を行なうことにより、その複合体であるCMOSトランジスタの特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図2】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図3】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図4】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図5】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図6】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図7】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

13

【図8】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図9】本発明に係る半導体装置に形成したMOSトランジスタのゲート電極形成工程を説明する説明図である。

【図10】ゲート電極部分を細幅としたMOSトランジスタにおけるLDD構造のゲート電極近傍の構造説明図である。

【図11】ゲート電極部分を細幅としないMOSトランジスタにおけるLDD構造のゲート電極近傍の構造説明図である。

【図12】従来のMOSトランジスタのゲート電極形成方法を説明する説明図である。

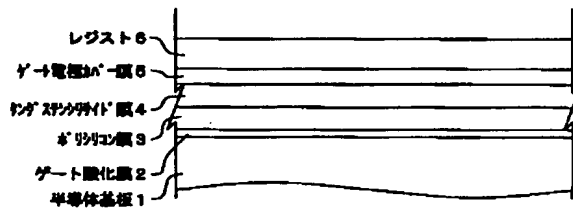
【符号の説明】

- 1 半導体基板
2 ゲート酸化膜

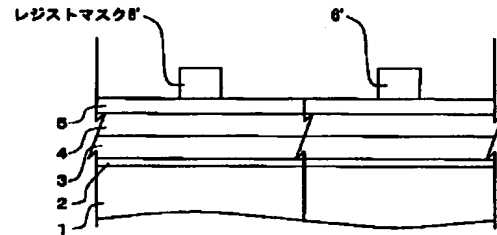
*

- * 3 ポリシリコン膜
4 タングステンシリサイド膜
5 ゲート電極カバー膜
5' ゲート電極カバー
6 レジスト
6' レジストマスク
7 ゲート電極
7' 細幅状ゲート電極
8 カバー用レジスト
9 突出部
10 エクステンション領域
11 サイドウォール膜
11' サイドウォール
12 膨出部
13 太幅部
14 コンタクト領域

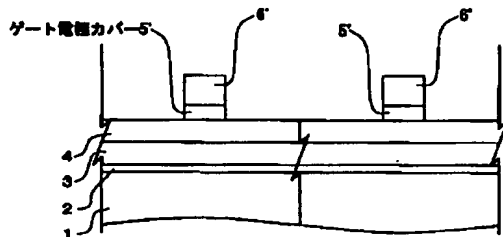
【図1】



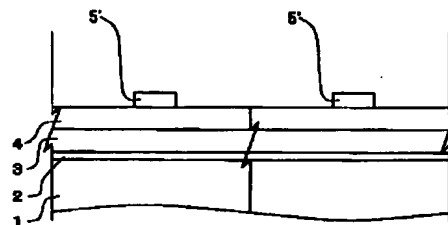
【図2】



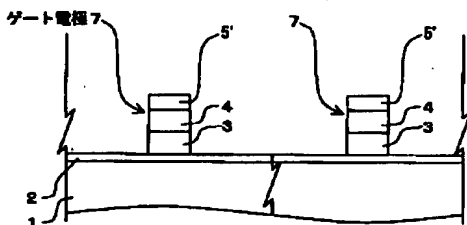
【図3】



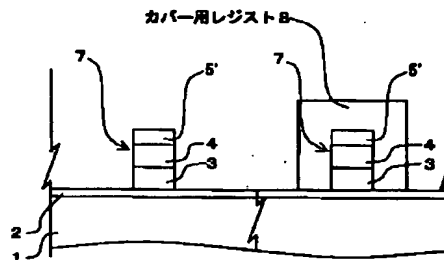
【図4】



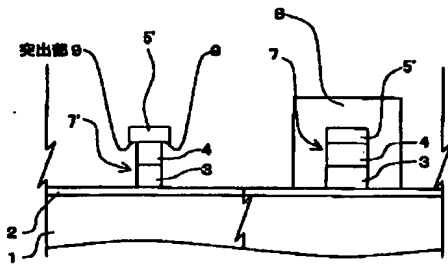
【図5】



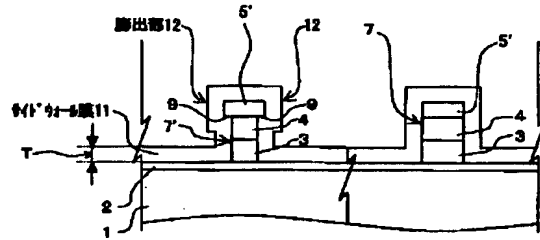
【図6】



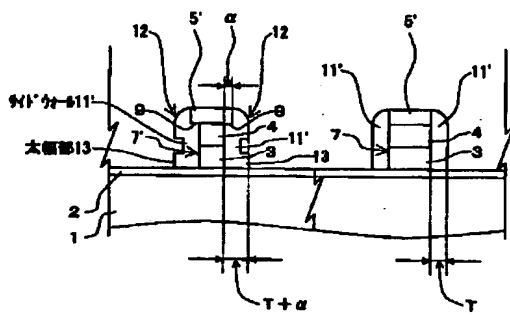
【図7】



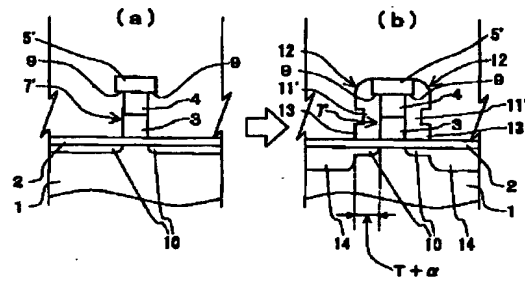
【図8】



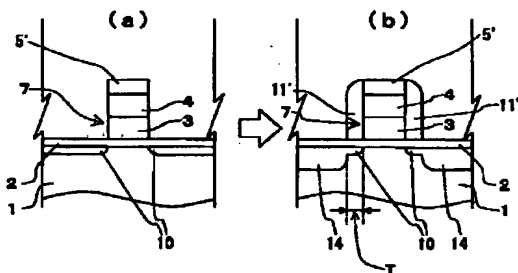
【図9】



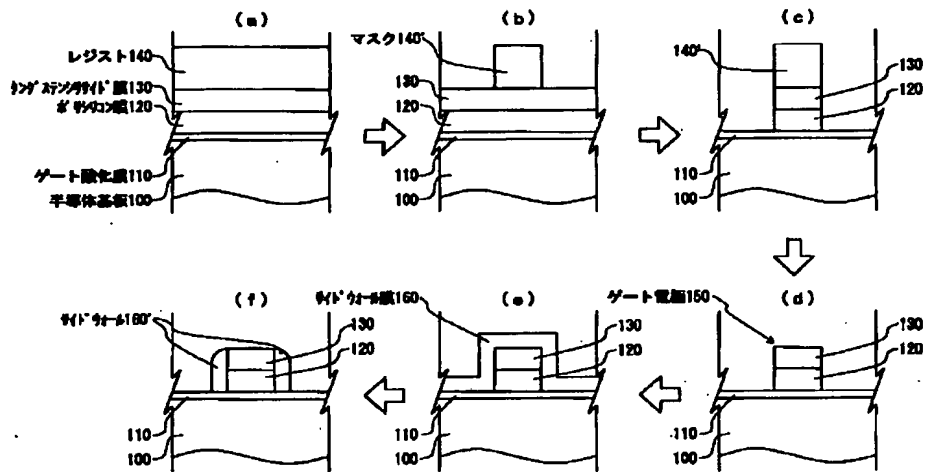
【図10】



【図11】



【図12】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB40 CC05 DD43
 DD64 DD65 DD66 DD67 DD91
 EE03 EE05 EE09 EE16 EE17
 FF14 GG09 HH14
 5F048 AA01 AA08 AC01 AC03 BB03
 BB05 BB08 BB12 BB15 BC06
 DA25 DA27
 5F140 AA00 AA01 AA23 AA39 AB03
 BA01 BF01 BF04 BF11 BF18
 BG08 BG12 BG14 BG20 BG22
 BG28 BG38 BG45 BG49 BG52
 BG53 BH15 BK01 CE13